

(4) Japanese Patent Application Laid-Open No. 62-120063 (1987)

“SEMICONDUCTOR DEVICE”

The following is an English translation of an extract of the above application.

5 **【claim 1】**A semiconductor device comprising:

 a P-channel transistor and a N-channel transistor in serial connection which are provided between a high voltage current and a low voltage current; and

 an output circuit having a CMOS configuration in which a common junction point of said P-channel transistor and said N-channel transistor is connected to an output
10 terminal,

 wherein a diode element is provided such that an anode side is connected to a drain of said P-channel transistor and a cathode side is connected to said common junction point.

⑫ 公開特許公報(A)

昭62-120063

⑬ Int.Cl.⁴H 01 L 27/08
H 03 K 19/08

識別記号

1 0 2

庁内整理番号

7735-5F
8326-5J

⑭ 公開 昭和62年(1987)6月1日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-260260

⑰ 出 願 昭60(1985)11月20日

⑱ 発 明 者 鈴木 教 詞 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 伊 藤 英 朗 川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

直列接続のPチャンネルトランジスタとNチャンネルトランジスタとを高電圧電極と低電圧電極との間に備え、かつ該PチャンネルトランジスタとNチャンネルトランジスタとの共通接続点に出力端子に接続されたCMOS構成の出力回路を有する半導体装置において、

アノード側が前記Pチャンネルトランジスタのドレインに接続され、カソード側が前記共通接続点に接続されたダイオードを設けたことを特徴とする半導体装置。

3. 発明の詳細な説明

(概要)

CMOS構成の出力回路を有する半導体装置であって、出力回路のPチャンネルトランジスタのドレインと出力との間にダイオードを設けることにより、高電圧電極より高い電圧が出力に加し

たときにも該Pチャンネルトランジスタのドレインから基板に電流が流れるのを阻止できるので、寄生サイリスタのラッチアップの防止が可能となる。

(産業上の利用分野)

本発明は半導体装置に関するものであり、更に詳しく言えばCMOS構成の出力回路を有する半導体装置に関するものである。

(従来の技術)

第5図は従来例に係るCMOS構成のインバータ出力回路の回路図であり、1はPチャンネルトランジスタ、2はNチャンネルトランジスタである。

次にこの回路の動作を説明する。まず入力Aに低レベル入力が入ると、Pチャンネルトランジスタ1がオン、一方Nチャンネルトランジスタ2がオフして出力Bが高レベルになり、入力Aに高レベル入力が入るとPチャンネルトランジスタ1が

オフ、一方Nチャンネルトランジスタ2がオンして出力Bが低レベルになる。

(発明が解決しようとする問題点)

ところで図5図に示すインバータ出力回路がCMOSスタティックRAMのDrive部に用いられる場合、出力端子Bに電源電圧 V_{cc} 以上の電圧が印加されると、Pチャンネルトランジスタ1のドレイン(P⁺)と基板(B)間の接合が順方向となって基板に電流が流れ、このため寄生サイリスタがオンしてラッチアップを起すことがあった。

特に出力端子Bが入力端子としても用いられるI/O端子の場合には、外周から信号が入力するのでノイズを含みやすく、またそれだけラッチアップしやすく問題となっていた。

本発明はかかる従来の問題点に鑑みて創作されたものであり、簡易な構成によりラッチアップの防止を可能にしたCMOS構成の出力回路の提供を目的とする。

(実施例)

次に図を参照しながら本発明の実施例について説明する。

第1図は本発明の実施例に係るCMOS構成のインバータ出力回路であり、3はPチャンネルトランジスタ、4はNチャンネルトランジスタである。またPチャンネルトランジスタのソースは高電圧電源 V_{cc} に、Nチャンネルトランジスタのソースは低電圧電源 V_{ss} に接続されており、各々のゲートは共通接続されて入力Cを形成している。

5はダイオードであり、アノード側がPチャンネルトランジスタ3のドレインに、カソード側がNチャンネルトランジスタ4のドレインおよび出力端子Dに接続されている。

第2図は第1図の回路の構成断面図であり、6はN型半導体基板である。また7はNチャンネルトランジスタ4の形成用Pウエルであり、8はダイオード5の形成用Pウエルである。

次に本実施例の動作について説明する。まず入

(問題点を解決するための手段)

本発明の半4体装置は、前記接続のPチャンネルトランジスタとNチャンネルトランジスタとを高電圧電源と低電圧電源との間に備え、かつ該PチャンネルトランジスタとNチャンネルトランジスタとの共通接続点出力端子に接続されたCMOS構成の出力回路を有する半導体装置において、アノード側が前記Pチャンネルトランジスタのドレインに接続され、カソード側が前記共通接続点に接続されたダイオード素子を設けたことを特徴とする。

(作用)

出力端子から高電圧電源より高い電圧が入力した場合にも、該ダイオード素子によりPチャンネルトランジスタのドレインを介して電流が基板に流れるのを阻止することができるので、寄生サイリスタのラッチアップの防止が可能となる。

入力Cに低レベル入力が入るとNチャンネルトランジスタ4がオフし、一方Pチャンネルトランジスタ3がオンし、かつダイオード5が順方向となるので、出力Dは高レベルとなる。入力Cに高レベル入力が入るときにはPチャンネルトランジスタ3がオフし、一方Nチャンネルトランジスタ4がオンするので、出力Dは低レベルとなる。このように回路はインバータ動作をする。なお出力Dの高出力レベルは、ダイオード5の順方向電圧分だけ低くなるが、次段回路の高レベル入力の規格電圧が特別に高いものでない限り問題とはならない。

次にノイズ等により出力Dから電源電圧 V_{cc} より高い電圧が入力したとする。従来例回路によれば、この電圧によりPチャンネルトランジスタのドレイン(P⁺)とN基板との間に形成されているP-N接合が順方向となって基板に電流が流れ込まれているが、実施例によればダイオード5により該P-N接合が順方向になるのを阻止することができるので、寄生サイリスタのラッチアップ

の防止が可能となる。

第3図は本発明の実施例に係る出力回路をCMOSスタティックRAMに使用した場合の回路図であり、9は本発明の実施例に係る出力バッファ回路、10は入力バッファ回路、11はI/O端子である。この場合にはI/O端子から外部信号が入力するので高電圧のノイズも混入しやすく、従って本実施例に係る出力回路は特に有効である。

第4図は本発明の別の実施例に係るCMOS構成のインバータ出力回路であり、第1図と同じ符号、番号は同じものを示している。図示するように第1図と異なるのはNチャンネルトランジスタ側にもダイオード12が設けられている点である。なおこのダイオード12は第2図で示すプウエル8内に設けられたダイオード5と同様に、プウエル7とは別につくられたプウエル内に形成される(不図示)。

次に第4図の回路動作を説明するが、入力Cに低レベル入力および高レベル入力が入るときの動

作は第1図の回路と同様であるので省略する。また出力Dに高電圧電圧 V_{ss} より高い電圧が入力したときも同様であるので省略する。

そこでいま出力Dに低電圧電圧 V_{ss} より低い電圧が入力したとする。このとき第2図において、プウエル7(V_{ss} レベル)とNチャンネルトランジスタ4のドレイン(N^+)はダイオード12によって順方向となるのを阻止されるから、プウエル7内に電流が流れて寄生サイリスタがラッチアップすることはない。

このように第4図の回路によれば、電圧電圧 V_{ss} より低い電圧が入力した場合にも、寄生サイリスタがラッチアップするのを防止することができる。

なお実施例では出力回路としてインバータ回路を用いて説明したが、その他の論理構成の回路、例えばNAND回路等であっても適用できることは明らかである。

(発明の効果)

以上説明したように、本発明によれば出力回路の出力端子から高電圧電圧より高い電圧が入力した場合にも、基板に電流が流れることはないのだから寄生サイリスタのラッチアップの防止が可能となり、従って高信頼性の半導体装置の製造が可能となる。

4. 図面の簡単な説明

第1図は本発明の実施例に係るCMOS構成のインバータ出力回路の回路図であり、第2図は第1図の回路の構成断面図である。

第3図は本発明の実施例に係る出力回路をCMOSスタティックRAMに使用した場合の回路図であり、第4図は本発明の別の実施例に係る回路図である。

第5図は従来例に係るCMOS構成のインバータ出力回路の回路図である。

- 1, 3…Pチャンネルトランジスタ
- 2, 4…Nチャンネルトランジスタ
- 5, 12…ダイオード

6…N基板

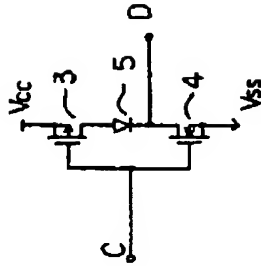
7, 8…プウエル

9…出力バッファ回路

10…入力バッファ回路

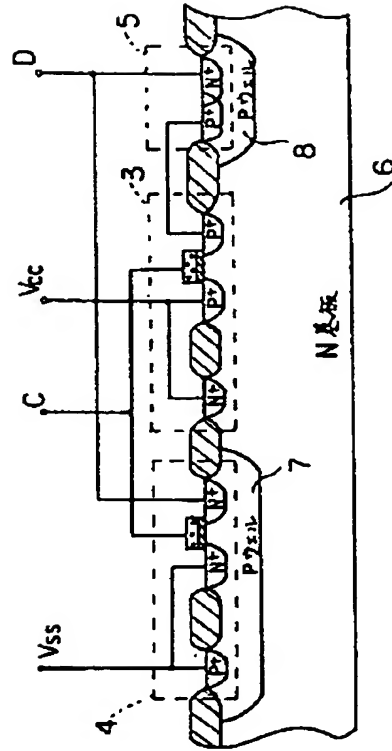
11…I/O端子

代理人 弁理士 井新 貞一



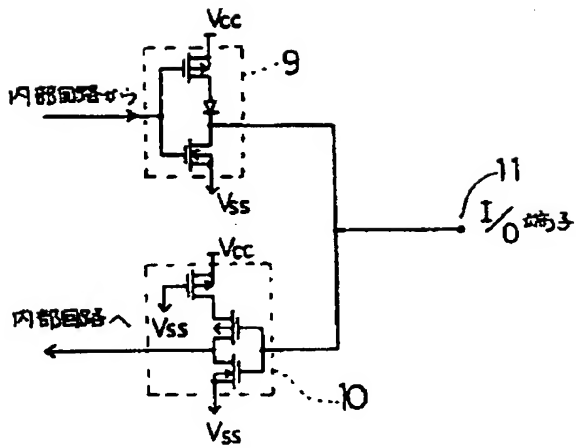
本発明の実施例の回路図

第 1 図



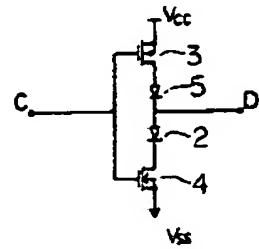
第 1 図の回路の構成断面図

第 2 図



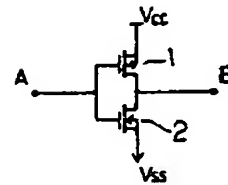
本実施例回路を適用した図

第 3 図



本発明の別の実施例の回路図

第 4 図



従来例の回路図

第 5 図